

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-286283

(43)Date of publication of application : 13. 10. 2000

(51) Int. Cl.

H01L 21/60
H01L 23/12

(21)Application number : 11-089999

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 30. 03. 1999

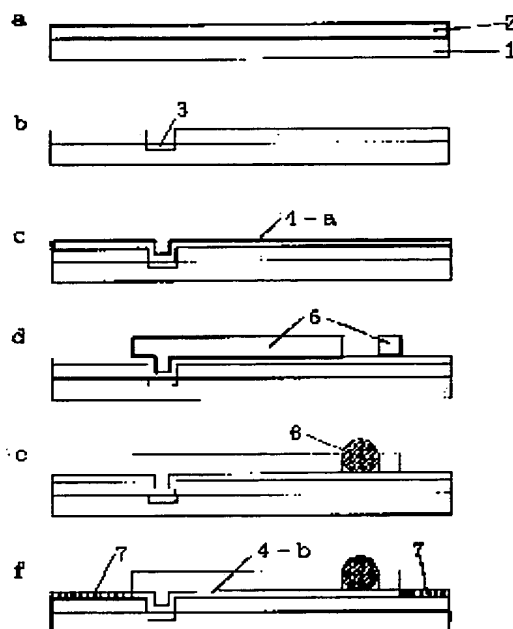
(72)Inventor : MATSUI KUNIYASU

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify a process and to form a connection electrode for CSP implementation at a low cost by removing unwanted rearranged wiring electrode metal layer, except for a rearrangement wiring electrode pattern with an insulating film and connection electrode as masks.

SOLUTION: A polyimide is coated as an insulating film (both as patterning mask and reinforcing layer) 5, so that it is formed only on a pattern which is to become an rearranged wiring electrode 4-b. Here, a polyimide is not formed where a connection electrode 6 is formed, with an electrode surface left exposed. In this condition, a solder ball used as the connection electrode 6 is printed to a prescribed position by screen printing. With an insulating film formed lastly as well as a solder ball as masks, a Cu which is an exposed rearranged wiring electrode metal layer and a barrier metal TaN (rearranged wiring electrode metal layer unwanted part 7) are removed by successive wet-etching.



LEGAL STATUS

[Date of request for examination]

31. 10. 2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-286283
(P2000-286283A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int. Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 21/60		H 0 1 L 21/92	6 0 4 S
23/12			6 0 2 K
		23/12	L

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平11-89999

(22) 出願日 平成11年3月30日 (1999. 3. 30)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 松井 邦容

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

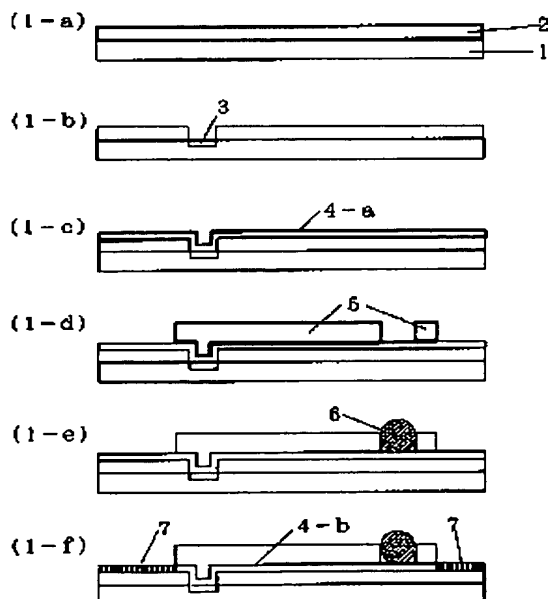
弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 半導体基盤の製造方法

(57) 【要約】

【課題】実装を行う接続用電極を形成する工程で、①半導体チップ上に接続用電極を再配置配線するためのパターン形成、②実装時にかかる応力を緩和するための応力緩和層の形成、③接続用電極を形成する工程、を容易に行い低コストの接続用電極を形成する。

【解決手段】①絶縁膜を全面に形成した後電極パッド部を露出させ、②実装のための再配置配線電極用金属層を全面に形成させ、③再配置配線電極用金属層のうち、接続用電極取り出し部を除く再配置配線電極パターンとなる部分の上にのみ絶縁膜を形成し、④接続用電極を形成するした後、⑤再配置配線電極パターン以外の不要な再配置配線電極用金属層を除去する。この際①と③の絶縁膜を同一材料で作成する。②を無電解または電解めっきによるNi・Au・Cuの組み合わせで形成する。



【特許請求の範囲】

【請求項1】半導体素子を形成した半導体装置の能動面に、該半導体装置を基板に実装するための接続用電極を形成する工程において、半導体装置の能動面上に絶縁膜を全面に形成した後、半導体装置上に形成されてある電極パッド部を露出させる第1の工程、その上の全面に実装のための再配置配線電極用金属層を形成し、さらにその上に絶縁膜を全面に形成する第2の工程、第2の工程で形成した絶縁膜のうち、再配置配線電極となる所定パターン上の一部でかつ接続用電極を形成するための取り出し部となる部分、及び再配置配線電極となる所定パターン以外の部分、を露出させる第3の工程、該接続用電極取り出し部に接続用電極を形成する第4の工程、第3の工程で形成した再配置配線電極となる所定パターン上の絶縁膜、および第4の工程で形成した接続用電極をマスクとして、再配置配線電極パターン以外の不要な再配置配線電極用金属層を除去する第5の工程、からなることを特徴とする半導体装置の製造方法。

【請求項2】請求項1記載の半導体装置の製造方法において、第1の工程で形成する絶縁膜と第3の工程で形成する絶縁膜として、同一材料を使用することを特徴とする半導体装置の製造方法。

【請求項3】請求項2記載の半導体装置の製造方法において、第1の工程で形成する絶縁膜と第3の工程で形成する絶縁膜として、同一材料の感光性ポリイミド樹脂を使用することを特徴とする半導体装置の製造方法。

【請求項4】請求項1記載の半導体装置の製造方法において、第3の工程で形成する絶縁膜の膜厚として、第4の工程で形成する接続用電極の高さの1/2以上1未満であることを特徴とする半導体装置の製造方法。

【請求項5】請求項1記載の半導体装置の製造方法において、第4の工程で形成する接続用電極として、NiまたはAuまたはCuを無電解めっき法または無電解めっき法と電解めっき法の組み合わせにより形成した、NiまたはAuまたはCu単体、またはNi-Auの積層膜、またはNi-Cuの積層膜、またはNi-Au-Cuの積層膜のうちのいずれかを使用することを特徴とする半導体装置の製造方法。

【請求項6】請求項1記載の半導体装置の製造方法において、半導体チップを形成したウェハの状態で請求項1の工程を行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法、特に半導体装置を実装するための電極の製造方法に関する。

【0002】

【従来の技術】急速な半導体技術の進歩により、半導体チップの高性能化と、同時にチップサイズの小型化が図

られてきた。しかしながら、一方でチップ自体の小型化により、それをパッケージ化し、実装する技術が困難となっており、また実装コストの大幅な増加の原因にもなっている。昨今急速に普及してきたパッケージ方法にウェハーレベルCSPがあるが、これは半導体チップの能動面上に一定の間隔で接続用電極（通常ははんだボールなどで形成される）を再配置配線して形成するもので、チップと同じサイズで、実装面積を増加させずに基板への実装が可能となる高密度実装の方式である。図3に半導体装置に形成した接続用端子の概観を示す。半導体チップを形成した半導体装置1上に、接続用電極6が一定の間隔で形成されている。

【0003】また、図4は、半導体チップを形成した半導体装置1が接続用電極6を介して、基板8に実装された状態を示した図である。半導体チップと同じサイズの実装面積で実装可能な、非常に小型の半導体装置を作成することができる。

【0004】

【発明が解決しようとする課題】これら半導体チップを実装するための接続用電極を形成するためには、①半導体チップ上に接続用電極を再配置配線するためのパターン形成、②実装時にかかる応力を緩和するための応力緩和層の形成、③接続用電極を形成する工程の大きく分けて3つの工程からなる。一般的にその製造方法を推定するに、プロセスが長く、特にフォトリソ工程が複数回必要であることは必須である。図5に再配置配線製造工程（推定）の一例を示す。この方法ではフォトリソ工程は少なくとも3回（5-b、5-d、5-f）必要であり、いずれもエッチング材料や目的が異なるため、3回ともレジスト材料やエッチャントを変える必要が生じる。図5において、半導体装置1上に応力緩和層2を形成し、A1パッド部3を穴あけする工程（5-a、5-b）。その上に電極を再配置配線するための電極金属（4-a）を形成し、フォトリソ9を用いて再配置配線電極パターン（4-b）にパターンニングする工程（5-c、5-d、5-e）。さらに接続用電極6を指定位置に形成するためのカバーレジスト10のパターンニングと接続用電極形成の工程（5-f、5-g）。また最後に形成する接続用電極（はんだボール）自体の強度を出すために、さらに補強用の樹脂11を形成することが必要になってくる（5-h）。以上のように非常に工程が長く、したがって実装のコストアップは免れない。本発明はこれらのプロセスを簡略化し、CSP実装を行うための接続用電極を低コストで形成でき、低コストの半導体装置を提供することにある。

【0005】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体素子を形成した半導体装置の能動面に、該半導体装置を基板に実装するための接続用電極を形成する工程において、半導体装置の能動面上に絶縁膜

を全面に形成した後、半導体装置上に形成されてある電極パッド部を露出させる第1の工程、その上の全面に実装のための再配置配線電極用金属層を形成し、さらにその上に絶縁膜を全面に形成する第2の工程、第2の工程で形成した絶縁膜のうち、再配置配線電極となる所定パターン上の一部でかつ接続用電極を形成するための取り出し部となる部分、及び再配置配線電極となる所定パターン以外の部分、を露出させる第3の工程、該接続用電極取り出し部に接続用電極を形成する第4の工程、第3の工程で形成した再配置配線電極となる所定パターン上の絶縁膜、および第4の工程で形成した接続用電極をマスクとして、再配置配線電極パターン以外の不要な再配置配線電極用金属層を除去する第5の工程、からなることを特徴とする。

【0006】また本発明の半導体装置の製造方法において、第1の工程で形成する絶縁膜と第3の工程で形成する絶縁膜として、同一材料を使用することを特徴とする。

【0007】また本発明の半導体装置の製造方法において、第3の工程で形成する絶縁膜の膜厚として、第4の工程で形成する接続用電極の高さの $1/2$ 以上1未満であることを特徴とする。

【0008】また本発明の半導体装置の製造方法において、第1の工程で形成する絶縁膜と第3の工程で形成する絶縁膜として、同一材料を使用することを特徴とする。

【0009】また本発明の半導体装置の製造方法において、第1の工程で形成する絶縁膜と第3の工程で形成する絶縁膜として、同一材料の感光性ポリイミド樹脂を使用することを特徴とする。

【0010】また本発明の半導体装置の製造方法において、第3の工程で形成する絶縁膜の膜厚として、第4の工程で形成する接続用電極の高さの $1/2$ 以上1未満であることを特徴とする。

【0011】また本発明の半導体装置の製造方法において、第4の工程で形成する接続用電極として、NiまたはAuまたはCuを無電解めっき法または無電解めっき法と電解めっき法の組み合わせにより形成した、NiまたはAuまたはCu単体、またはNi-Auの積層膜、またはNi-Cuの積層膜、またはNi-Au-Cuの積層膜のうちのいずれかを使用することを特徴とする。

【0012】また本発明の半導体装置の製造方法において、半導体チップを形成したウェハ-の状態で行ってもよい。

【0013】

【発明の実施の形態】以下、本発明の製造方法を実施の形態に基づき、詳細に説明する。

【0014】＜実施の形態1＞実施の形態1を図1を用いて説明する。半導体素子を形成したウェハ-1上に、

絶縁膜a（応力緩和層）2として感光性のポリイミド（例として株式会社旭化成製バイメド）を $20\mu\text{m}$ 塗布し（1-a）、すでにウェハ-1に形成されたA1パッド3に対応する位置にフォトリソ法によりホールを形成し、A1パッドを露出させる（1-b）。次にこのウェハ-1全面に再配置配線電極用金属層4-aとしてバリア金属としてTa-Nをスパッタにより形成し、さらにCuを連続してスパッタする（1-c）。さらにその上に、絶縁膜b（パターンニング用マスク兼補強層）5として再度ポリイミド（絶縁膜aと同じ材料）を $15\mu\text{m}$ 塗布し、再配置配線電極4-bとなるパターンの上にのみ同様の方法で絶縁膜を形成する（1-d）。この際、接続用電極6を形成する位置にはポリイミドを形成せず、電極表面が露出している状態にしておく。この状態で接続用電極6として使用するはんだボールをスクリーン印刷により所定位置に印刷する（1-e）。最後に1-dで形成した絶縁膜と1-eで形成したはんだボールをマスクとして、露出している再配置配線電極用金属層であるCuとバリア金属Ta-N（再配置配線電極用金属層不要部7）を連続のウェットエッチング工程により除去する（1-f）。これにより、図2に示したような再配置配線電極4と接続用電極6が、半導体装置1上に形成できる。

【0015】＜実施の形態2＞実施の形態2を図1を用いて説明する。半導体素子を形成したウェハ-1上に、絶縁膜a（応力緩和層）2として感光性のポリイミド（例として株式会社旭化成製バイメド）を $20\mu\text{m}$ 塗布し（1-a）、すでにウェハ-1に形成されたA1パッド3に対応する位置にフォトリソ法によりホールを形成し、A1パッドを露出させる（1-b）。次にこのウェハ-1全面に、再配置配線電極用金属層4-aとして、無電解めっき法によりNi-Au-Cuを連続して形成する（1-c）。この際、Ni層に対してAu層は極端に薄くて良く、またCuもNiに比べて薄くて良い。さらにその上に、絶縁膜b（パターンニング用マスク兼補強層）5として再度ポリイミド（絶縁膜aと同じ材料）を $15\mu\text{m}$ 塗布し、再配置配線電極4-bとなるパターンの上にのみ同様の方法で絶縁膜を形成する（1-d）。この際接続用電極6を形成する位置にはポリイミドを形成せず、電極表面が露出している状態にしておく。この状態で接続用電極6として使用するはんだボールをスクリーン印刷により所定位置に印刷する（1-e）。最後に1-dで形成した絶縁膜と1-eで形成したはんだボールをマスクとして、露出している再配置配線電極用金属層不要部7（Cu-Au-Niの三層）を連続のウェットエッチング工程により除去する（1-f）。これにより、図2に示したような再配置配線電極4と接続用電極6が、半導体装置1上に形成できる。

【0016】＜実施の形態3＞実施の形態3を図1を用いて説明する。半導体素子を形成したウェハ-1上に、

絶縁膜a（応力緩和層）2として感光性のBCB（例として株式会社タウケミカル製サイクロテン）を20 μ m塗布し（1-a）、すでにウェハに形成されたA1パッド3に対応する位置にフォトリソ法によりホールを形成し、A1パッドを露出させる（1-b）。次にこのウェハ全面に、再配置配線電極用金属層4-aとして、無電解めっき法によりNi-Cuを連続して形成し、続けて電解めっき法によりさらにCu膜を厚付け形成する（1-c）。この際無電解めっきによるCu層は薄くて良い。さらにその上に、絶縁膜b（パターンニング用マスク兼補強層）5として再度BCB（絶縁膜aと同じ材料）を15 μ m塗布し、再配置配線電極4-bとなるパターンの上にのみ同様の方法で絶縁膜を形成する（1-d）。この際接続用電極6を形成する位置にはBCBを形成せず、電極表面が露出している状態にしておく。この状態で接続用電極6として使用するはんだボールをスクリーン印刷により所定位置に印刷する（1-e）。最後に1-dで形成した絶縁膜と1-eで形成したはんだボールをマスクとして、露出している再配置配線電極用金属層不要部7（Cu・Niの二層）をウェットエッチング工程により除去する（1-f）。これにより、図2に示したような再配置配線電極4と接続用電極6が、半導体装置1上に形成できる。

【0017】＜実施の形態4＞実施の形態4を図1を用いて説明する。半導体素子を形成したウェハ1上に、絶縁膜a（応力緩和層）2として感光性のポリイミド（例として株式会社旭化成製バイメド）を20 μ m塗布し（1-a）、すでにウェハに形成されたA1パッド3に対応する位置にフォトリソ法によりホールを形成し、A1パッドを露出させる（1-b）。次にこのウェハ全面にバリヤメタルとしてTiNをスパッタにより形成し、さらにその上に再配置配線電極用金属層4-aとして無電解めっき法によりCuを形成し、続けて電解めっき法によりさらにCu膜を厚付け形成する（1-c）。この際無電解めっきによるCu層は薄くて良い。さらにその上に、絶縁膜b（パターンニング用マスク兼補強層）5として再度ポリイミド（絶縁膜aと同じ材料）を塗布15 μ mし、再配置配線電極4-bとなるパターンの上にのみ同様の方法で絶縁膜を形成する（1-d）。この際、接続用電極6を形成する位置にはポリイミドを形成せず、電極表面が露出している状態にしておく。この状態で接続用電極6として使用するはんだボールをスクリーン印刷により所定位置に印刷する（1-e）。最後に1-dで形成した絶縁膜と1-eで形成したはんだボールをマスクとして、露出している再配置配線電極用金属層不要部7（Cu・Niの二層）をウェットエッチング工程により除去し、つづいてバリヤメタルTiNをドライエッチングにより除去する（再配置配線電極用金属層不要部7）（1-f）。これにより、図2に示したような再配置配線電極4と接続用電極6が、半導体装置1上に形成

できる。

【0018】＜実施の形態5＞実施の形態5を図1を用いて説明する。半導体素子を形成したウェハ1上に、絶縁膜a（応力緩和層）2として感光性のポリイミド（例として株式会社旭化成製バイメド）を20 μ m塗布し（1-a）、すでにウェハに形成されたA1パッド3に対応する位置にフォトリソ法によりホールを形成し、A1パッドを露出させる（1-b）。次にこのウェハ全面にバリヤメタルとしてTiNをスパッタにより形成し、さらにその上に再配置配線電極用金属層4-aとして無電解めっき法によりNiを形成し、続けて電解めっき法によりCu膜を形成する（1-c）。この際無電解めっきによるNi層は薄くて良い。さらにその上に、絶縁膜b（パターンニング用マスク兼補強層）5として再度ポリイミド（絶縁膜aと同じ材料）を塗布15 μ mし、再配置配線電極4-bとなるパターンの上にのみ同様の方法で絶縁膜を形成する（1-d）。この際、接続用電極6を形成する位置にはポリイミドを形成せず、電極表面が露出している状態にしておく。この状態で接続用電極6として使用するはんだボールをスクリーン印刷により所定位置に印刷する（1-e）。最後に1-dで形成した絶縁膜と1-eで形成したはんだボールをマスクとして、露出している再配置配線電極用金属層であるCuをウェットエッチング工程により除去し、つづいてバリヤメタルTiNをドライエッチングにより除去する（再配置配線電極用金属層不要部7）（1-f）。これにより、図2に示したような再配置配線電極4と接続用電極6が、半導体装置1上に形成できる。

【0019】

【発明の効果】本発明により図2に記したような再配置配線構造と接続用電極を形成することができ、CSPするための能動面実装が可能な半導体装置を提供することができる。特に本発明の特色は、フォトリソ工程が2回であるだけでなく、応力緩和のための絶縁膜樹脂層と、再配置配線電極を形成するためのパターン形成を、応力緩和層と同一の材料を使用することにより、同一のフォトリソプロセスを使用できコストを下げることができる。さらに、再配置配線電極形成のためのパターン形成で使用した絶縁膜樹脂層を厚膜化することによりはんだボールの補強材としても使用できるため、非常に信頼性の高い接続用電極を形成できる。

【図面の簡単な説明】

【図1】本発明の製造方法を示した図。

【図2】本発明の製造方法により形成した半導体装置の断面図。

【図3】半導体装置に形成した接続用電極の外観図。

【図4】半導体装置を実装した状態の断面図。

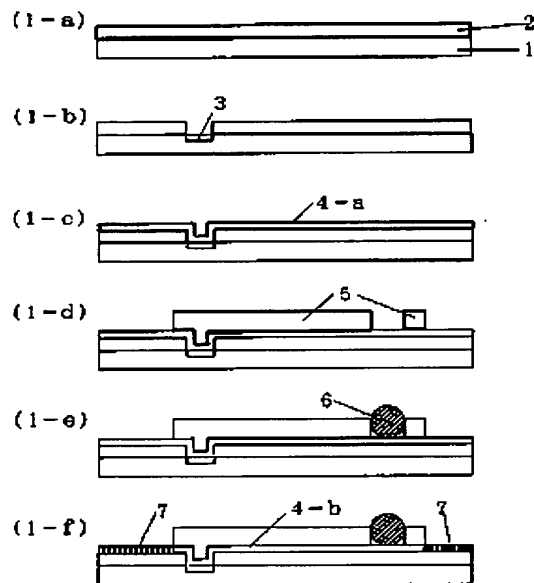
【図5】接続用電極の再配置配線構造の製造方法の一例を示す図。

【符号の説明】

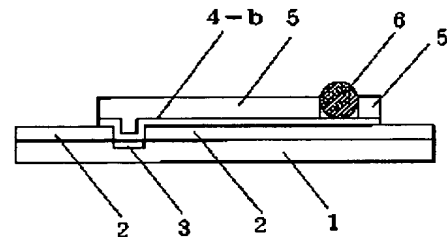
1. 半導体装置
2. 絶縁膜a (応力緩和層)
3. Alパッド
- 4-a. 再配置配線電極用金属層
- 4-b. 再配置配線電極
5. 絶縁膜b (パターニング用マスク兼補強層)

- * 6. 接続用電極
7. 再配置配線電極用金属層不要部
8. 基板
9. 電極パターニングのためのフォトリソ
10. はんだボール形成のためのカバーレジスト
11. はんだボール補強用樹脂層

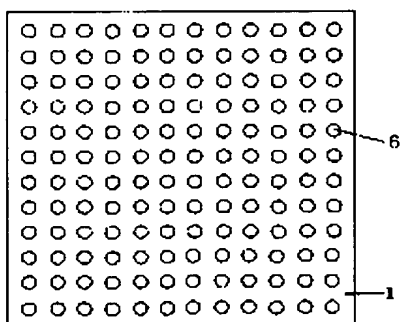
【図1】



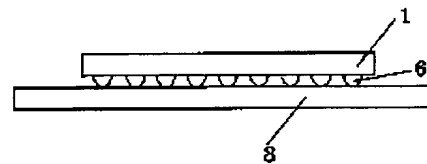
【図2】



【図3】



【図4】



【図5】

